

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298095

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 21/318

H01L 27/10

(21)Application number : 2000-111503

(71)Applicant : NEC CORP

(22)Date of filing : 13.04.2000

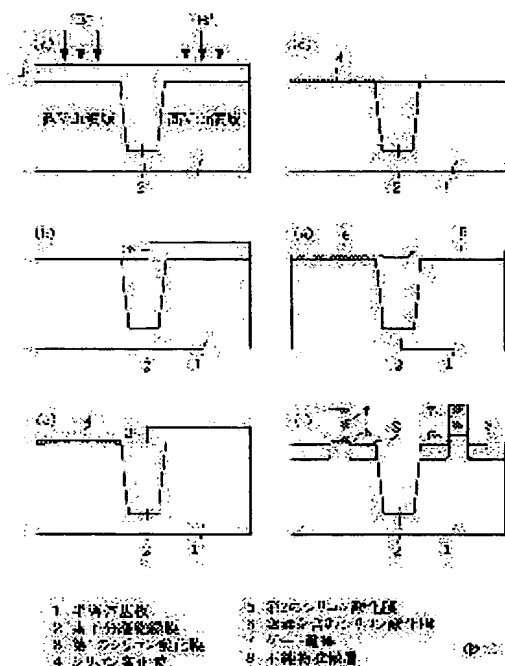
(72)Inventor : KIMIZUKA NAOHIKO

(54) METHOD OF MANUFACTURING MOS SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a high V_{th} MOSFET and a low V_{th} MOSFET having gate insulating films with different thicknesses without coating the gate insulating films with a resist.

SOLUTION: A silicon oxide film 3 is etched and removed from a low V_{th} region (b). Nitriding is performed to form a nitride film 4 on the low V_{th} region (c). Without forming a resist film, a silicon oxide film 3 is etched and removed from a high V_{th} region (d). A semiconductor substrate 1 is subjected to thermal oxidation to form a thick gate insulating film (5) on the high V_{th} region and a thin gate insulating film (6) on the low V_{th} region (e). A gate electrode is formed and an impurity diffusion layer 8 used as source/drain regions is formed (f).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-298095

(P2001-298095A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 21/8234		H 0 1 L 21/318	A 5 F 0 4 8
27/088		27/10	4 6 1 5 F 0 5 8
21/318		27/08	1 0 2 C 5 F 0 8 3
27/10	4 6 1		

審査請求 未請求 請求項の数11 O L (全 6 頁)

(21) 出願番号 特願2000-111503 (P2000-111503)

(22) 出願日 平成12年4月13日 (2000. 4. 13)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 君塚 直彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096253

弁理士 尾身 祐助

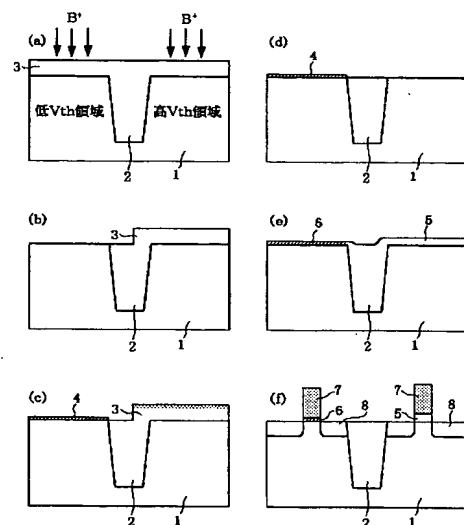
最終頁に続く

(54) 【発明の名称】 MOS型半導体装置の製造方法

(57) 【要約】

【課題】 ゲート絶縁膜上をレジストで覆うことなく、それぞれ異なる膜厚のゲート絶縁膜を有する高 V_{th} MOSFETと低 V_{th} MOSFETとを形成できるようにする。

【解決手段】 低 V_{th} 領域上のシリコン酸化膜3をエッチング除去し (b)、窒化処理を施して低 V_{th} 領域上に窒化膜4を形成する (c)。レジスト膜を形成することなく高 V_{th} 領域上のシリコン酸化膜3をエッチング除去する (d)。半導体基板1を熱酸化して、高 V_{th} 領域上に厚いゲート絶縁膜 (5) を、低 V_{th} 領域上に薄いゲート絶縁膜 (6) を形成する (e)。ゲート電極を形成し、ソース・ドレイン領域となる不純物拡散層8を形成する (f)。



1 半導体基板
2 素子分離絶縁膜
3 第1のシリコン酸化膜
4 シリコン窒化膜
5 第2のシリコン酸化膜
6 窒素を含むシリコン酸化膜
7 ゲート電極
8 不純物拡散層 (図1)

(2)

特開2001-298095

1

【特許請求の範囲】

【請求項1】 (1) 素子分離絶縁膜にて区画された第1の活性領域と第2の活性領域の表面にそれぞれ第1の絶縁膜にて被覆する工程と、

(2) 前記第1の活性領域上の前記第1の絶縁膜を選択的にエッチング除去する工程と、

(3) 前記第1の活性領域上に前記第1の絶縁膜とはエッチング性を異にする材料からなる第2の絶縁膜を形成する工程と、

(4) 前記第2の絶縁膜とのエッチング性の差異を利用して、前記第2の活性領域上の前記第1の絶縁膜を選択的にエッチング除去する工程と、

(5) 熱酸化により第1の活性領域上の第2の絶縁膜を第3の絶縁膜とするとともに第2の活性領域上に第4の絶縁膜を形成する工程と、

(6) 導電材料層を堆積し、これをパターニングして前記第1、第2の活性領域上にそれぞれ第1、第2のゲート電極を形成する工程と、

(7) 前記第1、第2の活性領域の表面領域内に、それぞれソース・ドレイン領域を形成する工程と、を有する20

【請求項2】 前記第2の絶縁膜が窒素を含む絶縁膜であることを特徴とする請求項1記載のMOS型半導体装置の製造方法。

【請求項3】 前記第(3)の工程が、基板の直接酸化若しくは熱酸化により形成した酸化膜を窒化する工程であることを特徴とする請求項1記載のMOS型半導体装置の製造方法。

【請求項4】 前記第(3)の工程が、窒素(N)と重水素(D)を含むガス雰囲気にて行われることを特徴とする請求項1～3の何れかに記載のMOS型半導体装置の製造方法。

【請求項5】 前記第(4)の工程がウェット法にて行われることを特徴とする請求項1～4の何れかに記載のMOS型半導体装置の製造方法。

【請求項6】 前記第(4)の工程が、フッ化水素(HF)を含む溶液をエッチャントとして行われることを特徴とする請求項1～4の何れかに記載のMOS型半導体装置の製造方法。

【請求項7】 前記第3の絶縁膜の膜厚が、前記第4の絶縁膜の膜厚より薄いことを特徴とする請求項1～6の何れかに記載のMOS型半導体装置の製造方法。

【請求項8】 前記第3の絶縁膜の膜厚が2.0nm以下、前記第4の絶縁膜の膜厚が2.5nm以上であることを特徴とする請求項1～6の何れかに記載のMOS型半導体装置の製造方法。

【請求項9】 前記第1の活性領域に形成されるMOS型トランジスタのしきい値電圧の方が、前記第2の活性領域に形成されるMOS型トランジスタのしきい値電圧より低いことを特徴とする請求項1～8の何れかに記載50

2

のMOS型半導体装置の製造方法。

【請求項10】 前記第(1)の工程の後、前記第(2)の工程に先立って、トランジスタのしきい値電圧を調整するための不純物のイオン注入が前記第1の絶縁膜を通して行われることを特徴とする請求項1～9の何れかに記載のMOS型半導体装置の製造方法。

【請求項11】 前記第(5)の工程の後、前記第(6)の工程に先立って、前記第3の絶縁膜と前記第4の絶縁膜上に高誘電率の第5の絶縁膜が形成されることを特徴とする請求項1～10の何れかに記載のMOS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS型半導体装置の製造方法に関し、特に膜厚の異なるゲート絶縁膜を有するMOSTランジスタの形成方法に関するものである。

【0002】

【従来の技術】半導体集積回路が搭載される応用機器が多様化したことに伴い、同一半導体チップ内に、DRAMやSRAMとロジック回路、ロジック回路内のCPU部と入出力インターフェース部等、異なる機能の回路が混載される場合が多くなってきているが、その場合、低消費電流をより重視した回路と高速動作をより重視した回路とが混載されることになる。その一方で、高密度化・微細化を進められており、それに伴って、スケールング則に従い、MOS型半導体装置においてはゲート絶縁膜の膜厚が徐々に薄くなされてきている。

【0003】低消費電力を重視した回路に用いられるCMOSは、サブスレッショルドリークによるスタンバイ電流を減らす目的からしきい値電圧を高く設定したトランジスタを用いて構成される。而して、スケールングに従ってゲート絶縁膜の薄膜化を行った場合、直接トンネル現象に基づくゲートリーク電流が観測されるようになる。例えば、膜厚を1.9nm以下に設定した場合、高しきい値電圧トランジスタのオフ電流(1.0pA/μm)よりも大きなゲートリーク電流が流れるようになって、ゲートリーク電流がスタンバイ電流を決定することになり、低消費電力化の目的を果せなくなる。そのため、低消費電力回路における高しきい値電圧トランジスタのゲート絶縁膜の膜厚は約2.5nm以下に薄膜化することができない。

【0004】これに対して、高速動作を重視したトランジスタではしきい値電圧が低く設定されており、ゲートリークの占める比率が低いことから2.0nm以下にまで薄膜化することが可能であり、これによりドレイン電流の向上を図ることが可能になる。従って、低消費電力回路と高速動作回路をLSI、CMOSLSI内にワンチップに実現するためには、2種類の膜厚のゲート絶縁膜を成膜することが必要となる。ところで、ゲート絶縁

3

膜を薄くした場合には、ゲートリークの外に、不純物（特にボロン原子）の突き抜けやホットキャリア耐性の劣化が問題となる。不純物の突き抜けを防止するにはシリコン窒化膜を用いることが有利であり、またシリコン窒化膜の方がシリコン酸化膜よりホットキャリア耐性が高いことが知られている。そこで、薄膜化されたゲート絶縁膜にはシリコン窒化膜乃至これを含んだ絶縁膜が用いられる。

【0005】図3は、特開平4-154162号公報にて開示された、2種類の膜厚のゲート絶縁膜を持つMOS型半導体装置の従来の製造方法を示す工程順の断面図である。まず、図3(a)に示すように、半導体基板11上に素子分離絶縁膜12を形成して素子領域を区画し、各素子領域に第1のシリコン酸化膜13を熱酸化法により形成する。続いて、図3(b)に示すように、N₂ガスあるいはNH₃ガス雰囲気中にて熱処理を行い表面全面を窒化する。その後、膜質の均質化のために短時間熱酸化を行う。このようにして、第1のシリコン酸化膜13は窒化によって第1のゲート絶縁膜として用いられる窒化された第1のシリコン酸化膜14となる。次に、図3(c)に示すように、左側の素子領域をフォトリソレジスト膜15にて被覆し、これをマスクとして右側の素子領域とその近傍の窒化された第1のシリコン酸化膜15を、例えばフッ酸を用いてエッチング除去する。

【0006】次に、図3(d)に示すように、熱酸化により右側の素子領域に第2のゲート絶縁膜となる第2のシリコン酸化膜16を形成する。この時、窒化された第1のシリコン酸化膜14は、ほとんど酸化されずその膜厚はほとんど増大しない。続いて、図3(e)に示すように、第1のゲート絶縁膜および第2のゲート絶縁膜上に、それぞれ多結晶シリコンからなるゲート電極17を形成する。次に、図3(f)に示すように、ソースおよびドレインとなる拡散層18を形成し、全面を層間絶縁膜19にて被覆した後、これにコンタクト孔を開設する。その後、拡散層18に連なる配線電極20を形成し、全面を保護膜となるカバー絶縁膜21にて被覆する。上述したように、第1のゲート絶縁膜の厚さは第2のゲート絶縁膜の形成工程にほとんど影響を受けない。そのため、第2のゲート絶縁膜の膜厚を第1のゲート絶縁膜より厚くすることができる。

【0007】

【発明が解決しようとする課題】上述した従来の2種類の膜厚のゲート絶縁膜を形成する方法では、一方の素子領域上の第1のゲート絶縁膜をフォトリソレジスト膜で被覆して他方の素子領域上の絶縁膜をエッチング除去している。しかしながら、この方法では、第1のゲート絶縁膜へのフォトリソレジストからの不純物混入を避けることができない。また、フォトリソレジストの剥離とこれに続く洗浄の際にゲート絶縁膜に損傷を与える。2nm程度以下に極度に薄膜化されたゲート絶縁膜では、上述の工程にお

(3)

特開2001-298095

4

いてゲート絶縁膜の膜質は重大な影響を受け、特性の均一性と製品の信頼性を確保することができなくなる。本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、ゲート絶縁膜をフォトリソレジスト膜によって被覆しないで済む製造方法を提供して、ゲート絶縁膜膜質の均一性と製品の信頼性を確保できるようにすることである。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明によれば、(1)素子分離絶縁膜にて区画された第1の活性領域と第2の活性領域の表面にそれぞれ第1の絶縁膜にて被覆する工程と、(2)前記第1の活性領域上の前記第1の絶縁膜を選択的にエッチング除去する工程と、(3)前記第1の活性領域上に前記第1の絶縁膜とはエッチング性を異にする材料からなる第2の絶縁膜を形成する工程と、(4)前記第2の絶縁膜とのエッチング性の差異を利用して、前記第2の活性領域上の前記第1の絶縁膜を選択的にエッチング除去する工程と、(5)熱酸化により第1の活性領域上の第2の絶縁膜を第3の絶縁膜とするとともに第2の活性領域上に第4の絶縁膜を形成する工程と、(6)導電材料層を堆積し、これをパターニングして前記第1、第2の活性領域上にそれぞれ第1、第2のゲート電極を形成する工程と、(7)前記第1、第2の活性領域の表面領域内に、それぞれソース・ドレイン領域を形成する工程と、を有することを特徴とするMOS型半導体装置の製造方法、が提供される。

【0009】そして、好ましくは、前記第2の絶縁膜がシリコン窒化膜にて形成される。また、好ましくは、前記第(3)の工程が、窒素(N)と重水素(D)を含むガス雰囲気にて直接窒化により行われる。また、好ましくは、前記第(4)の工程がウェット法にて行われる。

【0010】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照しながら詳細に説明する。

【第1の実施の形態】図1は、一つの半導体チップ内に、低い(絶対値の小さい)しきい値電圧を有するMOSTランジスタと、高い(絶対値の大きい)しきい値電圧を有するMOSTランジスタとを同一チップ上に形成する本発明の第1の実施の形態の製造方法を示す工程順の断面図である。

【0011】まず、図1(a)に示すように、シリコンからなる半導体基板1上にトレンチ法により厚さ350nmの素子分離絶縁膜2を形成し、さらに熱酸化法により膜厚20nmの第1のシリコン酸化膜3を形成する。そして、これをカバー酸化膜として、MOSFETのしきい値電圧を調整するためのBイオンをイオン注入する。次に、図1(b)に示すように、高いしきい値電圧のMOSTランジスタの形成領域(以下、高V_{th}領域と記す)をフォトリソレジスト膜にて被覆し、これをマスクと

50

特開2001-298095

(4)

6

して、低いしきい値電圧のMOSトランジスタの形成領域（以下、低V_{th}領域と記す）上の第1のシリコン酸化膜3をエッチング除去する。レジストマスクの剥離後、図1（c）に示すように、NH₃ガス雰囲気中で、1000℃、30秒の加熱処理を行って、低V_{th}領域上のシリコン基板表面を窒化する。この窒化処理により、低V_{th}領域上には膜厚1nmのシリコン窒化膜4が形成される。一方、高V_{th}領域上に残存する第1のシリコン酸化膜3の表面にも窒素原子が混入する。

【0012】次に、図1（d）に示すように、高V_{th}領域上に残存する窒素原子の混入した前記シリコン酸化膜3を、バッファードフッ酸によってエッチング除去する。この際、低V_{th}領域のシリコン基板表面上に存在するシリコン窒化膜4はエッチングされない。続いて、ゲート絶縁膜を成膜するために、1000℃の酸素雰囲気中で60秒間の熱処理を行う。この結果、図1（e）に示されるように、高V_{th}領域上のシリコン基板表面には、第2のシリコン酸化膜5が、低V_{th}領域上の基板表面には窒素を含むシリコン酸化膜6が成膜される。この場合に、低V_{th}領域における成膜速度は、窒化シリコン膜4が存在するため、高V_{th}領域における成膜速度より遅くなる。この結果、膜厚に違いが生じ、高V_{th}領域上の第2のシリコン酸化膜5の膜厚が2.8nmであるのに対して、低V_{th}領域上の窒素を含むシリコン酸化膜6の膜厚は1.8nmになる。引き続き、図1（f）に示すように、通常のCMOSLSIの製造プロセスに沿って、多結晶シリコンを堆積してゲート電極7を形成し、イオン注入を行ってソース・ドレイン領域となる不純物拡散層8を形成する。

【0013】[第2の実施の形態] 第2の実施の形態においては、上述した第1の実施の形態での図1（c）において説明したシリコン基板の窒化処理に際して、NH₃ガスの代わりにND₃（NH₃分子中の水素を重水素で置き換えた物質）ガスを用いる。この目的とするところは、デバイスのホットキャリア耐性を高めることである。その機構は、低V_{th}領域上のゲート絶縁膜中に重水素が取り込まれた結果、ホットキャリアで切れ易いSi-H結合が、Si-D結合となって切れにくくすることである。

【0014】[第3の実施の形態] 図2は、本発明の第3の実施の形態を示す工程順の断面図である。本実施例においても、第1の実施の形態の図1（a）、（b）に示す工程はそのまま行うので、その部分の図示および説明は省略する。図1（b）の工程の終了した後、図2（a）に示すように、N₂ガス雰囲気中で、1100℃、30秒の窒化処理を行って、低V_{th}領域上のシリコン基板上に膜厚1nmのシリコン窒化膜4を形成する。次に、図2（b）に示すように、高V_{th}領域上に残存するシリコン酸化膜3を、バッファードフッ酸によってエッチング除去する。この際、低V_{th}領域のシリコン基板

表面上に存在するシリコン窒化膜4はエッチングされない。次に、湿酸素雰囲気中、800℃、60秒間の熱処理を行って、図2（c）に示すように、高V_{th}領域上のシリコン基板表面に、膜厚2.5nm第2のシリコン酸化膜5を形成するとともに、低V_{th}領域上の基板表面に膜厚1.5nmの窒素を含むシリコン酸化膜6を形成する。

【0015】次に、図2（d）に示すように、CVDを用いて酸化タンタル（Ta₂O₅）を1nmの膜厚に堆積して窒素を含むシリコン酸化膜6、第2のシリコン酸化膜5上に高誘電率膜9を形成する。続いて、図2（e）に示すように、ポリシリコンを15nm、窒化タングステン（WN）を10nm、タングステン（W）を10nm、それぞれ堆積して、多層導電膜10を形成する。その後、図2（f）に示すように、多層導電膜10をパターニングしてゲート電極7を形成し、イオン注入を行ってソース・ドレイン領域となる不純物拡散層8を形成する。

【0016】以上好ましい実施の形態について説明したが、本発明はこれらの実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば、ゲート電極は、高融点金属膜、ポリサイド膜若しくはポリシリコンと高融点金属との積層膜であってもよい。また、酸化膜、酸窒化膜上に堆積される高融電率膜は酸化タンタルに代えてTiO₂などの他の高融電率材料であってもよい。また、実施の形態では、窒化膜を形成するのに基板を直接窒化する方法を用いていたが、まず熱酸化を行い熱酸化膜に対して窒化処理を行うようにしてもよい。さらに、第3のシリコン酸化膜をウェット法にて除去するのに代えて、HFガス等を用いるドライ法を用いてもよい。また、実施の形態で説明した材料、数値等は一例であり、本発明はこれらに限定されるものではない。

【0017】

【発明の効果】以上詳細に説明したように、本発明によれば、膜厚の異なるゲート絶縁膜を、ゲート絶縁膜上にフォトリソ膜にて被覆することなく、形成することができるので、ゲート絶縁膜がフォトリソから汚染を受けることがなくなり、さらにフォトリソの剥離、洗浄工程に伴うダメージを受けることがなくなる。したがって、本発明によれば、薄膜化されたゲート絶縁膜を再現性・信頼性高く形成することが可能になり、比較的厚いゲート絶縁膜の高しきい値電圧MOSFETと比較的薄いゲート絶縁膜の低しきい値電圧MOSFETとを有する半導体装置を信頼性高く提供することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1、第2の実施の形態の製造方法を示す工程順の断面図。

【図2】本発明の第3の実施の形態の製造方法を示す工

(5)

特開2001-298095

7

8

程順の断面図。

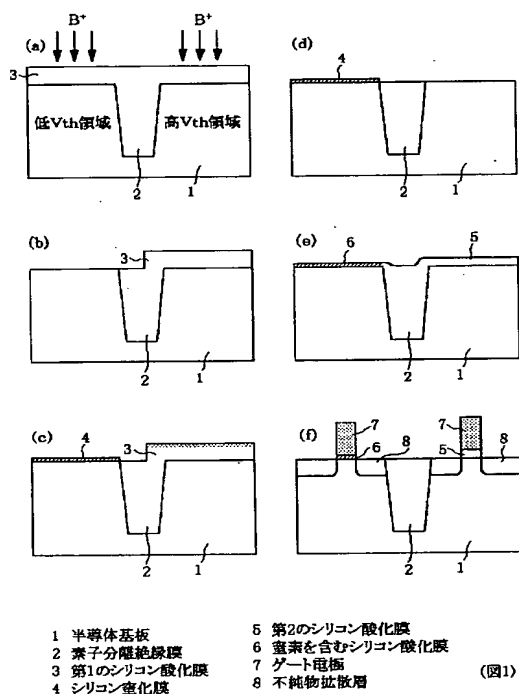
【図3】従来の製造方法を示す工程順の断面図。

【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 第1のシリコン酸化膜
- 4 シリコン窒化膜
- 5 第2のシリコン酸化膜
- 6 窒素を含むシリコン酸化膜
- 7 ゲート電極
- 8 不純物拡散層
- 9 高誘電率膜

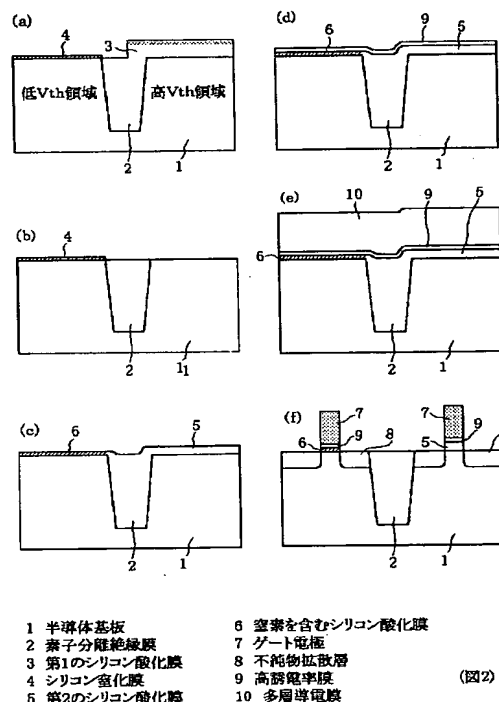
- * 10 多層導電膜
- 11 半導体基板
- 12 素子分離絶縁膜
- 13 第1のシリコン酸化膜
- 14 窒素を含むシリコン酸化膜
- 15 フォトリソレジスト膜
- 16 第2のシリコン酸化膜
- 17 ゲート電極
- 18 拡散層
- 19 層間絶縁膜
- 20 配線電極
- * 21 カバー絶縁膜

【図1】



(図1)

【図2】

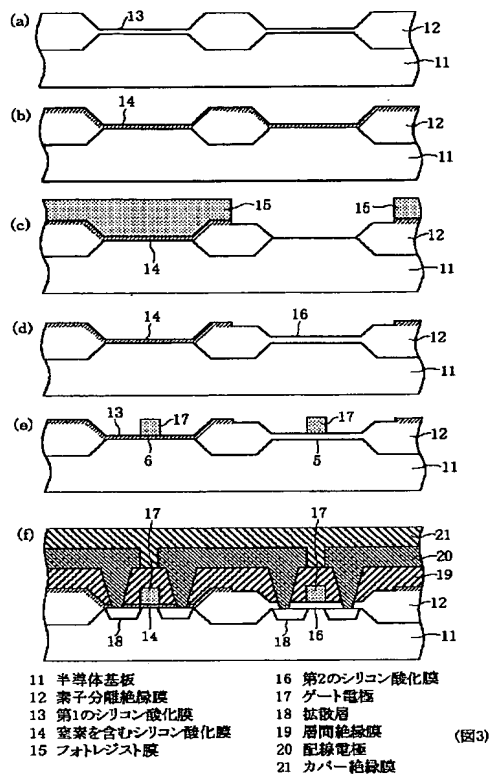


(図2)

(6)

特開2001-298095

【図3】



フロントページの続き

F ターム(参考) 5F048 AB10 AC01 BA01 BB05 BB08
 BB09 BB11 BB12 BB16 BB17
 BF03 BF07 BG01
 5F058 BA20 BC02 BC08 BC11 BF52
 BF55 BF56 BF63 BF64 BH11
 BJ01
 5F083 GA06 JA02 JA06 JA39 JA40
 NA01 PR16 PR21 PR34

Japanese materials

(5)

特開 2001-298095

工程順の断面図。

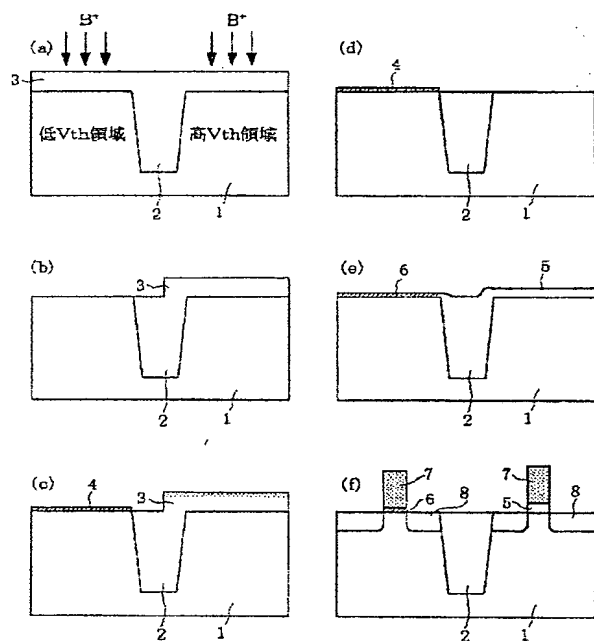
【図3】従来の製造方法を示す工程順の断面図。

【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 第1のシリコン酸化膜
- 4 シリコン窒化膜
- 5 第2のシリコン酸化膜
- 6 窒素を含むシリコン酸化膜
- 7 ゲート電極
- 8 不純物拡散層
- 9 高誘電率膜

- 10 多層導電膜
- 11 半導体基板
- 12 素子分離絶縁膜
- 13 第1のシリコン酸化膜
- 14 窒素を含むシリコン酸化膜
- 15 フォトリソレジスト膜
- 16 第2のシリコン酸化膜
- 17 ゲート電極
- 18 拡散層
- 19 層間絶縁膜
- 20 配線電極
- 21 カバー絶縁膜

【図1】

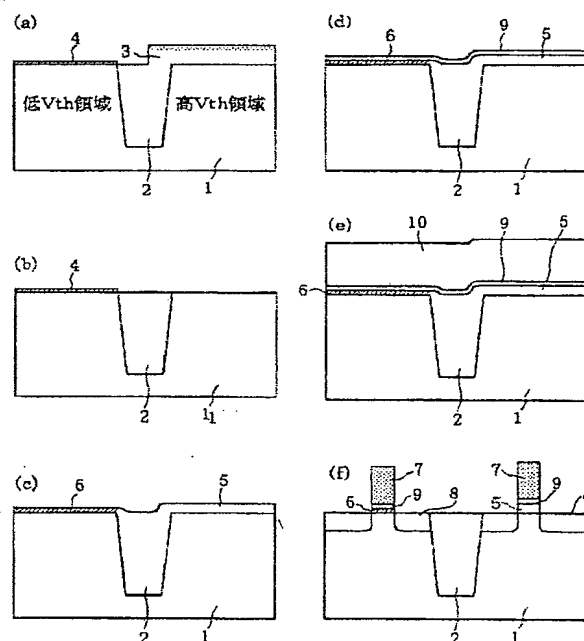


- 1 半導体基板
- 2 素子分離絶縁膜
- 3 第1のシリコン酸化膜
- 4 シリコン窒化膜
- 5 第2のシリコン酸化膜
- 6 窒素を含むシリコン酸化膜
- 7 ゲート電極
- 8 不純物拡散層

(図1)

【図2】

Fig. 2



- 1 半導体基板
- 2 素子分離絶縁膜
- 3 第1のシリコン酸化膜
- 4 シリコン窒化膜
- 5 第2のシリコン酸化膜
- 6 窒素を含むシリコン酸化膜
- 7 ゲート電極
- 8 不純物拡散層
- 9 高誘電率膜
- 10 多層導電膜

(図2)

5: silicon oxide film
 6: silicon oxide film
 containing nitrogen
 9: high dielectric film

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.